

(4) Japanese Patent Application Laid-Open No. 2002-222947 (2002)

**“SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME”**

The following is an English translation of an extract of the above application.

5

A silicon oxide film 51 is formed on a whole surface of a silicon substrate 1 by performing thermal oxidation. At this point in time, in a gate electrode 3, oxidation is much more accelerated at a lower portion where the concentration of N-type impurity is higher than an upper portion, and the silicon oxide film 51 becomes thicker at its lower
10 portion compared to its upper portion. As a consequence of this, the length at a lower side of the gate electrode becomes shorter, and the gate length also becomes shorter. And a cross section shape becomes an inverted trapezoid shape where the length of a lower base is shorter than that of an upper base.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2002-222947
(P 2 0 0 2 - 2 2 2 9 4 7 A)
(43)公開日 平成14年 8 月 9 日(2002.8.9)

(51)Int.Cl.	識別記号	F I	テマコード (参考)		
H01L 29/78		H01L 21/28	301	A	4M104
21/28	301		301	D	5F040
		29/78	301	G	
29/43		29/62		G	
21/336		29/78	301	L	
審査請求			未請求	請求項の数12	O L (全10頁)

(21)出願番号 特願2001-19783(P 2001-19783)

(22)出願日 平成13年 1 月29日(2001.1.29)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 藤田 光一
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

(74)代理人 100089233
弁理士 吉田 茂明 (外 2 名)

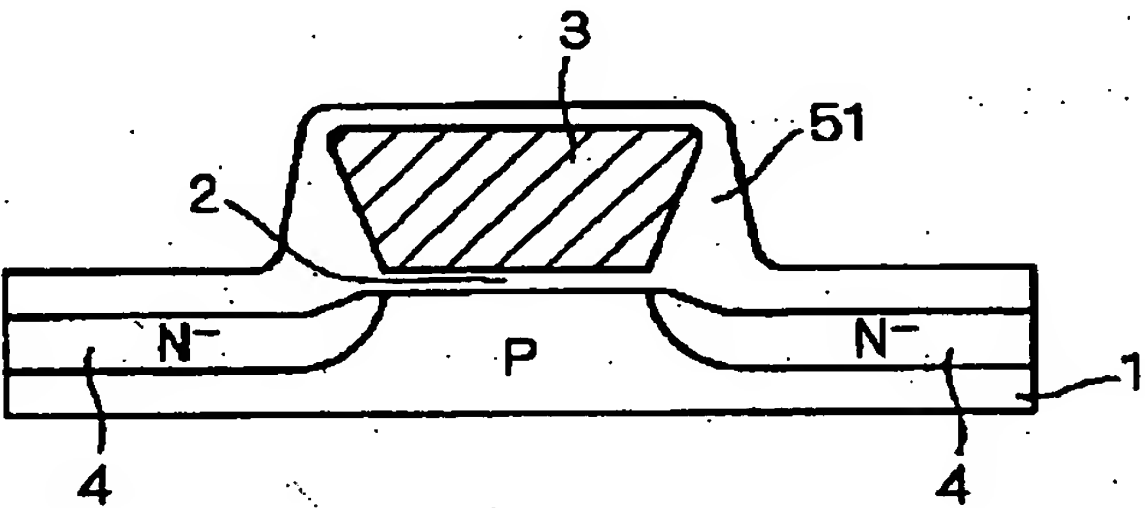
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ゲート長の短縮に起因するゲート抵抗の増大を低減したMOSFETを提供する。

【解決手段】 シリコン基板 1 の全面に渡ってシリコン酸化膜 5 1 を形成する。このとき、ゲート電極 3 においては、N型不純物の濃度が上部側よりも高い下部側で、より酸化が促進し、シリコン酸化膜 5 1 の厚さが上部側よりも厚くなる。この結果、ゲート電極 3 の下部側の長さが短くなり、ゲート長が短くなり、断面形状は、下底の長さが上底の長さよりも小さな逆台形状となる。



【特許請求の範囲】

【請求項 1】 半導体基板上に選択的に配設されたゲート酸化膜と、
前記ゲート酸化膜上に配設され、下底の長さが上底の長さより短い逆テーパー状の断面形状を有するゲート電極と、
前記ゲート電極の側面に配設されたサイドウォール酸化膜と、を備え、
前記ゲート電極は、
不純物を含んだポリシリコン層で構成され、
前記不純物は、前記ポリシリコン層の主面に垂直な方向で単調に変化する分布を有する半導体装置。

【請求項 2】 前記不純物は N 型不純物であって、
前記ゲート電極の上主面近傍で最低濃度となり、前記ゲート酸化膜の近傍で最高濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有する、請求項 1 記載の半導体装置。

【請求項 3】 半導体基板上に選択的に配設されたゲート酸化膜と、
前記ゲート酸化膜上に配設されたテーパー状の断面形状を有するゲート電極と、
前記ゲート電極の側面に配設されたサイドウォール酸化膜と、を備え、
前記ゲート電極は、
不純物を含んだポリシリコン層で構成され、
前記不純物は、前記ポリシリコン層の主面に垂直な方向で単調に変化する分布を有する半導体装置。

【請求項 4】 前記不純物は N 型不純物であって、
前記ゲート電極の上主面近傍で最高濃度となり、前記ゲート酸化膜の近傍で最低濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有する、請求項 3 記載の半導体装置。

【請求項 5】 前記サイドウォール酸化膜を覆う上部サイドウォール酸化膜をさらに備える、請求項 1 または請求項 3 記載の半導体装置。

【請求項 6】 前記ゲート電極の上部に配設されたシリサイド層をさらに備える、請求項 1 記載の半導体装置。

【請求項 7】 (a) 半導体基板上にゲート酸化膜を形成する工程と、

(b) 前記ゲート酸化膜上に不純物を含んだポリシリコン層で構成されるゲート電極を選択的に形成する工程と、

(c) 前記ゲート電極を覆うように、熱酸化によりシリコン酸化膜を形成する工程と、

(d) 少なくとも前記シリコン酸化膜を異方性エッチングにより除去して、前記ゲート電極の側面にサイドウォール酸化膜を形成する工程と、を備え、

前記工程 (b) は、

(b-1) 前記不純物が、前記ポリシリコン層の主面に垂直な方向で単調に変化する分布を有するように前記ポリシリコン層を形成する工程を含む、半導体装置の製造方

法。

【請求項 8】 前記工程 (b-1) は、
前記不純物として N 型不純物を使用し、前記 N 型不純物が、前記ゲート電極の上主面近傍で最低濃度となり、前記ゲート酸化膜の近傍で最高濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有するように前記ポリシリコン層を形成する工程を含む、請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記工程 (b-1) は、
リンを含んだプロセスガスの濃度を固溶度の最大限度まで高めて成膜した後、前記プロセスガスの濃度を徐々に下げて成膜を続ける工程を含む、請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記工程 (b-1) は、
前記不純物として N 型不純物を使用し、前記 N 型不純物が、前記ゲート電極の上主面近傍で最高濃度となり、前記ゲート酸化膜の近傍で最低濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有するように前記ポリシリコン層を形成する工程を含む、請求項 7 記載の半導体装置の製造方法。

【請求項 11】 前記工程 (b-1) は、
リンを含んだプロセスガスの濃度を所定値から徐々に高めて成膜を続け、最終的には固溶度の最大限度まで高めて成膜を行う工程を含む、請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記工程 (c) と (d) との間に、前記シリコン酸化膜の上部に上部シリコン酸化膜を形成する工程をさらに含み、

前記工程 (d) は、
前記シリコン酸化膜および前記上部シリコン酸化膜を併せて除去し、前記サイドウォール酸化膜を覆う上部サイドウォール酸化膜を形成する工程を含む、請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に高周波動作、高速動作に適した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化のために、ゲート電極のゲート幅を $0.1 \mu\text{m}$ レベルにする方向での微細化が進んでいるが、さらに高周波動作、高速動作を達成するためにはゲート電極に関する容量成分と、ゲート抵抗の低減が必要である。

【0003】 図 19～図 22 を用いて従来の MOS 型電界効果トランジスタ (以後 MOSFET と呼称) 90 の製造方法を説明するとともに、最終工程を示す図 22 を用いて構造について説明する。

【0004】 まず、図 19 に示す工程において、P 型不純物を有したシリコン基板 1 を準備し、当該シリコン基

板1の主面全面にゲート酸化膜2を形成する。その後、ゲート酸化膜2上に選択的にポリシリコンのゲート電極13を形成し、ゲート電極13を注入マスクとして、リン(P)あるいはヒ素(As)等のN型不純物をシリコン基板1の表面内に比較的低濃度に注入し、低ドープドレイン層(LDD層)4を形成する。なお、N型不純物はシリコン基板1を傾け、面内方向に断続的に回転させながら行う、回転斜め注入により注入する。

【0005】次に、図20に示す工程において、熱酸化を行い、シリコン基板1の全面に渡ってシリコン酸化膜15を形成する。なお、この酸化工程によりゲート酸化膜2の厚さも厚くなる。

【0006】次に、図21に示す工程において、シリコン基板1の全面に渡って、例えばCVD (chemical vapor deposition) 法によりシリコン酸化膜71を堆積する。

【0007】その後、図22に示す工程において、シリコン酸化膜71を異方性エッチングにより除去してゲート電極13の側面にのみ残し、サイドウォール酸化膜7を形成する。そして、ゲート電極13およびサイドウォール酸化膜7を注入マスクとして、リン(P)あるいはヒ素(As)等のN型不純物をLDD層4の表面内に比較的高濃度に注入し、ソース・ドレイン層6を形成する。

【0008】そして、シリコン基板1の全面に渡って、Ti (チタン)、Ni (ニッケル)、Co (コバルト)等の何れかで高融点金属層を形成し、熱処理によりシリコンとのシリサイド反応を起こさせてシリサイド層を形成する。なお、当該シリサイド反応により、ゲート電極13の上部およびソース・ドレイン層6の上部に、それぞれシリサイド層81および82が形成され、未反応の高融点金属層を除去することで、図Dに示すMOSFET90が形成される。

【0009】

【発明が解決しようとする課題】このように、従来のMOSFET90においては、ゲート抵抗の低減のためにシリサイド層81を備えていたが、これだけでは高速化および高集積化の進展に伴うゲート長の短縮に起因するゲート抵抗の増大に対抗できなくなる可能性が予見される。

【0010】本発明は上記のような問題点を解消するためになされたもので、ゲート長の短縮に起因するゲート抵抗の増大を低減したMOSFETを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、半導体基板上に選択的に配設されたゲート酸化膜と、前記ゲート酸化膜上に配設され、下底の長さが上底の長さより短い逆テーパ状の断面形状を有するゲート電極と、前記ゲート電極の側面に配設された

サイドウォール酸化膜とを備え、前記ゲート電極は、不純物を含んだポリシリコン層で構成され、前記不純物は、前記ポリシリコン層の主面に垂直な方向で単調に変化する分布を有している。

【0012】本発明に係る請求項2記載の半導体装置は、前記不純物がN型不純物であって、前記ゲート電極の上主面近傍で最低濃度となり、前記ゲート酸化膜の近傍で最高濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有している。

【0013】本発明に係る請求項3記載の半導体装置は、半導体基板上に選択的に配設されたゲート酸化膜と、前記ゲート酸化膜上に配設されたテーパ状の断面形状を有するゲート電極と、前記ゲート電極の側面に配設されたサイドウォール酸化膜とを備え、前記ゲート電極は、不純物を含んだポリシリコン層で構成され、前記不純物は、前記ポリシリコン層の主面に垂直な方向で単調に変化する分布を有している。

【0014】本発明に係る請求項4記載の半導体装置は、前記不純物がN型不純物であって、前記ゲート電極の上主面近傍で最高濃度となり、前記ゲート酸化膜の近傍で最低濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有している。

【0015】本発明に係る請求項5記載の半導体装置は、前記サイドウォール酸化膜を覆う上部サイドウォール酸化膜をさらに備えている。

【0016】本発明に係る請求項6記載の半導体装置は、前記ゲート電極の上部に配設されたシリサイド層をさらに備えている。

【0017】本発明に係る請求項7記載の半導体装置の製造方法は、半導体基板上にゲート酸化膜を形成する工程(a)と、前記ゲート酸化膜上に不純物を含んだポリシリコン層で構成されるゲート電極を選択的に形成する工程(b)と、前記ゲート電極を覆うように、熱酸化によりシリコン酸化膜を形成する工程(c)と、少なくとも前記シリコン酸化膜を異方性エッチングにより除去して、前記ゲート電極の側面にサイドウォール酸化膜を形成する工程(d)とを備え、前記工程(b)は、前記不純物が、前記ポリシリコン層の主面に垂直な方向で単調に変化する分布を有するように前記ポリシリコン層を形成する工程(b-1)を含んでいる。

【0018】本発明に係る請求項8記載の半導体装置の製造方法は、前記工程(b-1)が、前記不純物としてN型不純物を使用し、前記N型不純物が、前記ゲート電極の上主面近傍で最低濃度となり、前記ゲート酸化膜の近傍で最高濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有するように前記ポリシリコン層を形成する工程を含んでいる。

【0019】本発明に係る請求項9記載の半導体装置の製造方法は、前記工程(b-1)が、リンを含んだプロセスガスの濃度を固溶度の最大限度まで高めて成膜した

後、前記プロセスガスの濃度を徐々に下げて成膜を続ける工程を含んでいる。

【0020】本発明に係る請求項10記載の半導体装置の製造方法は、前記工程(b-1)が、前記不純物としてN型不純物を使用し、前記N型不純物が、前記ゲート電極の上主面近傍で最高濃度となり、前記ゲート酸化膜の近傍で最低濃度となり、前記最低濃度と前記最高濃度との間では単調に変化する分布を有するように前記ポリシリコン層を形成する工程を含んでいる。

【0021】本発明に係る請求項11記載の半導体装置の製造方法は、前記工程(b-1)が、リンを含んだプロセスガスの濃度を所定値から徐々に高めて成膜を続け、最終的には固溶度の最大限度まで高めて成膜を行う工程を含んでいる。

【0022】本発明に係る請求項12記載の半導体装置の製造方法は、前記工程(c)と(d)との間に、前記シリコン酸化膜の上部に上部シリコン酸化膜を形成する工程をさらに含み、前記工程(d)が、前記シリコン酸化膜および前記上部シリコン酸化膜を併せて除去し、前記サイドウォール酸化膜を覆う上部サイドウォール酸化膜を形成する工程を含んでいる。

【0023】

【発明の実施の形態】<A. 実施の形態1>

<A-1. 製造方法>以下、図1～図10を用いて本発明に係る実施の形態1のMOSFET100の製造方法および構成について説明する。なお、MOSFET100の構成については、最終工程を説明する図9に示す。

【0024】まず、図1に示す工程において、P型不純物を有したシリコン基板1を準備し、当該シリコン基板1の主面全面にゲート酸化膜2を形成する。その後、ゲート酸化膜2上の全面に渡って、例えばCVD法によりN型不純物(ここではリン)を含んだポリシリコン層31を堆積する。

【0025】ここで、図1におけるA-A線での断面部分における不純物分布を図2に示す。図2においては、横軸をポリシリコン層31の上主面表面を起点とする垂直方向の深さ(任意単位)とし、縦軸に不純物濃度($/\text{cm}^3$)を対数スケールで示す。

【0026】図2に示すように、ポリシリコン層(ポリSi)中にはN型不純物が含まれており、その分布状態は上主面表面が最も濃度が低く、ゲート酸化膜2(SiO₂)の近傍において最も濃度が高くなっており、最低濃度から最高濃度までが直線的に増加する分布を有している。

【0027】また、シリコン基板1(Si)中においては、P型不純物がほぼ一定の濃度で分布している。

【0028】なお、図2に示すような不純物分布を有したポリシリコン層31は、リンを含んだプロセスガス、例えばPH₃ガス(あるいはB₂H₆ガス)の濃度を、まず固溶度の最大限度まで高めて成膜した後、PH₃ガス

の濃度を徐々に下げて成膜することで得ることができる。

【0029】次に、図3に示す工程において、ポリシリコン層31を選択的に除去して、所定のゲート長を有するゲート電極3を形成する。その後、ゲート電極3を注入マスクとして、リン(P)あるいはヒ素(As)等のN型不純物をシリコン基板1の表面内に比較的低濃度に注入し、低ドープドレイン層(LDD層)4を形成する。なお、N型不純物はシリコン基板1を傾け、面内方向に断続的に回転させながら行う、回転斜め注入により注入する。

【0030】次に、図4に示す工程において、熱酸化を行い、シリコン基板1の全面に渡ってシリコン酸化膜51を形成する。このとき、ゲート電極3においては、酸化膜の成長レートのN型不純物濃度依存性により、N型不純物の濃度が上部側よりも高い下部側で、より酸化が促進し、シリコン酸化膜51の厚さが上部側よりも厚くなる。この結果、ゲート電極3の下部側の長さが短くなり、ゲート長が短くなる。

【0031】なお、この熱酸化によりゲート酸化膜2の厚さも厚くなり、また、LDD層4も拡散により広がる。

【0032】ここで、酸化膜の成長レートのN型不純物濃度依存性について図5を用いて説明する。

【0033】図5においては、縦軸に酸化膜の成長レートを示し、横軸にN型不純物の濃度($/\text{cm}^3$)を対数スケールで示す。

【0034】図5に示すように、酸化膜の成長レートはN型不純物の濃度が $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の間で濃度に比例して増加している。例えば、ゲート電極3中の下部側のリンの最大濃度を $5 \times 10^{20} / \text{cm}^3$ とし、上部側の濃度を最低濃度を $1 \times 10^{19} / \text{cm}^3$ とし、750℃で1時間の熱酸化処理を行うと、ゲート電極3の下部側のシリコン酸化膜51の厚さは100nm程度となり、上部側のシリコン酸化膜51の厚さは20nm程度となる。

【0035】図6を用いてシリコン酸化膜51の厚さについてさらに説明する。図6は図4の状態におけるゲート電極3の端縁部を示す図であり、ゲート電極3の下部側のシリコン酸化膜51の厚さを $0.1 \mu\text{m}$ (100nm)として示している。

【0036】熱酸化においてシリコン酸化膜は、母材となるシリコン(ここではポリシリコン)を消費して母材の内側に向けて成長するとともに、母材の外側方向にも成長する。その内側と外側での割合は、約45対55であり、本例においては、ゲート電極3を $0.045 \mu\text{m}$ 消費することになる。

【0037】これはゲート電極3の対抗する2つの側面において発生するので、結果的にゲート電極3のゲート長は $0.09 \mu\text{m}$ 短くなる。ここで、熱酸化前のゲート

電極3の断面形状は図6に破線で示すように矩形状をなし、そのゲート長を $0.3\mu\text{m}$ とすれば、熱酸化後のゲート電極3の下部においてはゲート長が $0.21\mu\text{m}$ となり、その断面形状は、下底の長さが上底の長さよりも小さな逆台形状となる。

【0038】なお、熱酸化条件、すなわち温度や時間を変えればシリコン酸化膜51の厚さも変えることができることは言うまでもない。

【0039】次に、図7に示す工程において、シリコン酸化膜51を異方性エッチングにより除去すると、ゲート電極3の上部が底となって、シリコン酸化膜51がゲート電極3の側面に残り、サイドウォール酸化膜5が形成される。

【0040】そして、図8に示す工程において、ゲート電極3およびサイドウォール酸化膜5を注入マスクとして、ヒ素をLDD層4の表面内に比較的高濃度に注入し、ソース・ドレイン層6を形成する。

【0041】その後、シリコン基板1の全面に渡って、Ti(チタン)、Ni(ニッケル)、Co(コバルト)等の何れかで高融点金属層を形成し、熱処理によりシリコンとのシリサイド反応を起こさせてシリサイド層を形成する。なお、当該シリサイド反応により、ゲート電極13の上部およびソース・ドレイン層6の上部に、それぞれシリサイド層81および82が形成され、未反応の高融点金属層を除去することで、図9に示すMOSFET100が形成される。

【0042】なお、以上の説明においては、ゲート電極3中のN型不純物の分布状態が、最低濃度から最高濃度までが直線的に増加する分布を有しているとして説明したが、ここで言う直線的とは、単調にという程度の意味であり、極大や極小を含んだ複雑な分布ではないことを意味している。

【0043】また、N型不純物がこのような分布を有する場合、ゲート電極3の形状が逆台形状になるとして説明したが、ここで言う逆台形状とは斜辺が直線的なものに限定されるものではなく、斜辺が若干の曲率を有していても良く、N型不純物の分布に合わせて単調に変化する形状であれば良い。逆台形状とは逆テーパー状と換言することができる。

【0044】また、以上の説明においては、ゲート電極3中にN型不純物を導入する例について説明したが、P型不純物を導入することでゲート電極を逆台形状にすることもできる。

【0045】すなわち、P型不純物はN型不純物とは反対の特性を有し、濃度が高くなると酸化膜の成長レートが低下する。従って、上主面表面が最も濃度が高く、ゲート酸化膜2の近傍において最も濃度が低くなるようにP型不純物を導入すれば良い。

【0046】ただし、P型不純物は酸化膜の成長レートを低下させるので、P型不純物が0の場合に最も厚い酸

化膜が形成され、P型不純物の増加に伴って酸化膜が薄くなる。従って、酸化時間が同じであれば、ゲート電極3はN型不純物を導入する場合ほど顕著な逆台形状にはならないが、N型不純物を導入する場合よりも酸化時間を長くすれば、同等の逆台形状にすることはできる。

【0047】換言すれば、N型不純物を用いることで、より効率的に(より実用的な)逆台形状のゲート電極を得ることができると言える。

【0048】<A-2. 作用効果>図10に、図8の状態におけるゲート電極3の端縁部を示す。図10においては、ゲート電極3とソース・ドレイン層6との間に存在する浮遊容量C2~C4と、ゲート電極3とLDD層4とがゲート酸化膜2を介して重なっている領域に存在するオーバーラップ容量C1とを模式的に示している。なお、浮遊容量C2~C4は、ゲート電極3の側面の各部分とソース・ドレイン層6との間の容量成分を模式的に示している。

【0049】上述したように、MOSFET100においてはゲート電極3が逆台形状となっているので、従来の矩形状のゲート電極に比べて、ゲート電極3とLDD層4との重なり部分の面積が縮小され、オーバーラップ容量C1を低減することができる。

【0050】また、逆台形状のゲート電極3においては、ゲート電極3の側面とソース・ドレイン層6との距離が、従来の矩形状のゲート電極に比べて離れているので、特に浮遊容量C2およびC3を低減できる。

【0051】また、逆台形状のゲート電極3においては、ゲート長、すなわち下部側の長さを短くしても上部側の長さは長い状態を保てるので、ゲート長を短縮しても従来の矩形状のゲート電極ほど断面積は小さくならず、ゲート長の短縮に起因するゲート抵抗の増大を抑制することができる。

【0052】また、上述したように逆台形状のゲート電極3においては、下部側の長さを短くしても上部側の長さは長い状態を保てるので、ゲート電極13の上部にシリサイド層81を形成すると、その面積も広い状態を保つことができ、ゲート抵抗を低減して高周波動作や高速動作に有利となる。

【0053】すなわち、図6を用いて説明したように、熱酸化前にゲート長が $0.3\mu\text{m}$ の断面形状が矩形状のゲート電極3であれば、熱酸化後にはゲート長を $0.21\mu\text{m}$ にでき、一方、ゲート電極3の上部においては、ほぼ $0.3\mu\text{m}$ の長さを保つので、 $0.21\mu\text{m}$ のゲート長を有しながら、シリサイド層81の面積は $0.3\mu\text{m}$ のゲート長のゲート電極と同じにできる。

【0054】<A-3. 変形例>以上説明したMOSFET100においては、熱酸化で形成したシリコン酸化膜51をサイドウォール酸化膜5として使用する構成について示したが、高周波電圧による大信号動作を行うには、ドレイン-ソース間耐圧を動作電圧の2倍以上に確

保する必要がある。

【0055】このための構成を有するMOSFET100Aについて、製造工程を順に示す図11～図13を用いて説明する。なお、MOSFET100Aの構成については、最終工程を説明する図13に示す。

【0056】図1、図3、図4を用いて説明した工程を経て、ゲート電極3をシリコン酸化膜51で覆った後、図11に示す工程においてシリコン酸化膜51を覆うように、CVD法によりシリコン酸化膜111（上部シリコン酸化膜）を形成する。

【0057】次に、図12に示す工程において、シリコン酸化膜51およびシリコン酸化膜111を異方性エッチングにより除去して、サイドウォール酸化膜5の側面にサイドウォール酸化膜11（上部サイドウォール酸化膜）が重なって残る構成を得る。

【0058】その後、図13に示す工程において、ゲート電極3およびサイドウォール酸化膜5および11を注入マスクとして、ヒ素（As）をLDD層4の表面内に比較的高濃度に注入し、ソース・ドレイン層6を形成することで、MOSFET100Aを得る。

【0059】このように、サイドウォール酸化膜5の側面にサイドウォール酸化膜11を配設することで、対向するソース・ドレイン層6間の間隔を広くでき、ドレイン電圧の電界強度を緩和してドレイン・ソース間耐圧を高めることができる。

【0060】なお、ゲート電極13の上部およびソース・ドレイン層6の上部に、それぞれシリサイド層81および82を配設しても良いことは言うまでもない。

【0061】＜B. 実施の形態2＞

＜B-1. 製造方法＞以下、図14～図18を用いて本発明に係る実施の形態2のMOSFET200の製造方法および構成について説明する。なお、MOSFET200の構成については、最終工程を説明する図17に示す。

【0062】まず、図14に示すように、P型不純物を有したシリコン基板1を準備し、当該シリコン基板1の主面全面にゲート酸化膜2を形成する。その後、ゲート酸化膜2上の全面に渡って、例えばCVD法によりN型不純物（ここではリン）を含んだポリシリコン層31Aを堆積する。

【0063】ここで、図14におけるA-A線での断面部分における不純物分布を図15に示す。図15においては、横軸をポリシリコン層31Aの上主面表面を起点とする垂直方向の深さ（任意単位）とし、縦軸に不純物濃度（ cm^{-3} ）を対数スケールで示す。

【0064】図15に示すように、ポリシリコン層（ポリSiで表記）中の分布状態は上主面表面が最も濃度が高く、ゲート酸化膜2（ SiO_2 で表記）の近傍において最も濃度が低くなっており、最低濃度から最高濃度までが直線的に増加する分布を有している。

【0065】そして、シリコン基板1（Siで表記）中においては、P型不純物がほぼ一定の濃度で分布している。

【0066】なお、図15に示すような不純物分布を有したポリシリコン層31Aは、リンを含んだプロセスガス、例えば PH_3 ガス（あるいは B_2H_6 ガス）の濃度を、まず、0ないし従来のドーフトポリシリコン層の形成濃度程度として成膜を行い、その後、濃度を徐々に高めて成膜し、最終的には固溶度の最大限度まで高めて成膜を行うことで得ることができる。

【0067】続いて、図3および図4を用いて説明したのと同様の工程を経て、所定のゲート長を有するゲート電極3Aを形成し、ゲート電極3Aを注入マスクとして、リン（P）あるいはヒ素（As）等のN型不純物をシリコン基板1の表面内に比較的低濃度に注入し、LDD層4を形成する。その後、熱酸化を行い、シリコン基板1の全面に渡ってシリコン酸化膜51Aを形成する。

【0068】このとき、ゲート電極3Aにおいては、先に説明した酸化膜の成長レートのN型不純物濃度依存性により、N型不純物の濃度が下部側よりも高い上部側で、より酸化が促進し、シリコン酸化膜51Aの厚さが下部側よりも厚くなる。この結果、ゲート電極3Aは上部側の長さが短くなり、台形状をなす。

【0069】なお、本例においてはシリコン酸化膜51Aがゲート電極3Aの上面においても厚く形成され、その分だけゲート電極3Aの厚みが減少する。

【0070】次に、図16に示す工程においてシリコン酸化膜51Aを覆うように、CVD法によりシリコン酸化膜111A（上部シリコン酸化膜）を形成する。

【0071】次に、図17に示す工程において、シリコン酸化膜51Aおよびシリコン酸化膜111を異方性エッチングにより除去して、サイドウォール酸化膜5Aの側面にサイドウォール酸化膜11A（上部サイドウォール酸化膜）が重なって残る構成を得る。

【0072】その後、ゲート電極3Aおよびサイドウォール酸化膜5Aおよび11Aを注入マスクとして、ヒ素（As）をLDD層4の表面内に比較的高濃度に注入し、ソース・ドレイン層6を形成することで、MOSFET200を得る。

【0073】なお、以上の説明においては、ゲート電極3中のN型不純物の分布状態が、最低濃度から最高濃度までが直線的に増加する分布を有しているとして説明したが、ここで言う直線的とは、単調にという程度の意味であり、極大や極小を含んだ複雑な分布ではないことを意味している。

【0074】また、N型不純物がこのような分布を有する場合、ゲート電極3の形状が台形状になるとして説明したが、ここで言う台形状とは斜辺が直線的なものに限定されるものではなく、斜辺が若干の曲率を有していても良く、N型不純物の分布に合わせて単調に変化する形

状であれば良い。台形状とは（順）テーバ状と換言することができる。

【0075】また、以上の説明においては、ゲート電極3中にN型不純物を導入する例について説明したが、P型不純物を導入することでゲート電極を台形状にすることもできる。

【0076】すなわち、P型不純物はN型不純物とは反対の特性を有し、濃度が高くなると酸化膜の成長レートが低下する。従って、上主面表面が最も濃度が低く、ゲート酸化膜2の近傍において最も濃度が高くなるようにP型不純物を導入すれば良い。

【0077】ただし、P型不純物は酸化膜の成長レートを低下させるので、P型不純物が0の場合に最も厚い酸化膜が形成され、P型不純物の増加に伴って酸化膜が薄くなる。従って、酸化時間が同じであれば、ゲート電極3はN型不純物を導入する場合ほど顕著な台形状にはならないが、N型不純物を導入する場合よりも酸化時間を長くすれば、同等の台形状にすることはできる。

【0078】換言すれば、N型不純物を用いることで、より効率的に（より実用的な）台形状のゲート電極を得ることができると言える。

【0079】＜B-2. 作用効果＞図18に、図17の状態におけるゲート電極3Aの端縁部を示す。図18においては、ゲート電極3Aとソース・ドレイン層6との間に存在する浮遊容量C2～C4と、ゲート電極3とLDD層4とがゲート酸化膜2を介して重なっている領域に存在するオーバーラップ容量C1とを模式的に示している。

【0080】上述したように、MOSFET200においてはゲート電極3Aが台形状となっているので、ゲート電極3とLDD層4との重なり部分の面積は従来の矩形状のゲート電極と同程度であるが、台形状のゲート電極3Aにおいては、ゲート電極3Aの側面とソース・ドレイン層6との距離が、従来の矩形状のゲート電極に比べて離れているので、浮遊容量C2～C4を低減できる。

【0081】

【発明の効果】本発明に係る請求項1記載の半導体装置によれば、ゲート電極が逆テーバ状の断面形状を有しているので、ゲート長、すなわち下部側の長さを短くしても上部側の長さは長い状態を保つことになり、ゲート長を短縮しても従来の矩形状のゲート電極ほど断面積は小さくならず、ゲート長の短縮に起因するゲート抵抗の増大を抑制することができる。また、矩形状のゲート電極に比べて、ゲート電極と、その下部に形成される低濃度半導体層との重なり部分の面積が縮小され、オーバーラップを低減することができる。また、逆テーバ状のゲート電極においては、その側面と、ソース・ドレイン層との距離が、矩形状のゲート電極に比べて離れることになるので、ゲート電極とソース・ドレイン層間の浮遊容量

を低減できる。また、ゲート電極中の不純物が、ポリシリコン層の主面に垂直な方向で単調に変化する分布を有しているので、ゲート電極の製造工程において熱酸化を行うことで、酸化膜の成長レートの不純物濃度依存性により、不純物の分布形状に合わせて自己整合的に逆テーバ状のゲート電極を得ることができる。

【0082】本発明に係る請求項2記載の半導体装置によれば、また、ゲート電極中のN型不純物が、ゲート電極の上主面近傍で最低濃度となり、ゲート酸化膜の近傍で最高濃度となり、最低濃度と最高濃度との間では単調に変化する分布を有しているので、濃度が高まることで酸化膜の成長レートが向上するN型不純物の特性により、実用的な逆テーバ状のゲート電極を得ることができる。

【0083】本発明に係る請求項3記載の半導体装置によれば、ゲート電極がテーバ状の断面形状を有しているので、その側面と、ソース・ドレイン層との距離が、矩形状のゲート電極に比べて離れることになるので、ゲート電極とソース・ドレイン層間の浮遊容量を低減できる。また、ゲート電極中の不純物が、ポリシリコン層の主面に垂直な方向で単調に変化する分布を有しているので、ゲート電極の製造工程において熱酸化を行うことで、酸化膜の成長レートの不純物濃度依存性により、不純物の分布形状に合わせて自己整合的にテーバ状のゲート電極を得ることができる。

【0084】本発明に係る請求項4記載の半導体装置によれば、ゲート電極中のN型不純物がゲート電極の上主面近傍で最高濃度となり、ゲート酸化膜の近傍で最低濃度となり、最低濃度と最高濃度との間では単調に変化する分布を有しているので、濃度が高まることで酸化膜の成長レートが向上するN型不純物の特性により、実用的なテーバ状のゲート電極を得ることができる。

【0085】本発明に係る請求項5記載の半導体装置によれば、サイドウォール酸化膜を覆う上部サイドウォール酸化膜をさらに備えることで、上部サイドウォール酸化膜の外側の半導体基板の表面内に形成されるソース・ドレイン層間の間隔を広くでき、ドレイン電圧の電界強度を緩和してドレイン-ソース間耐圧を高めることができる。

【0086】本発明に係る請求項6記載の半導体装置によれば、逆テーバ状のゲート電極においては、下部側の長さを短くしても上部側の長さは長い状態を保てるので、ゲート電極の上部にシリサイド層を配設した場合、その面積も広い状態を保つことができ、ゲート抵抗を低減して高周波動作や高速動作に有利となる。

【0087】本発明に係る請求項7記載の半導体装置の製造方法によれば、不純物が、ポリシリコン層の主面に垂直な方向で単調に変化する分布を有するようにポリシリコン層を形成し、熱酸化を行うことで、酸化膜の成長レートの不純物濃度依存性により、不純物の分布形状に

合わせて自己整合的に逆テーパ状あるいはテーパ状のゲート電極を得ることができる。

【0088】本発明に係る請求項8記載の半導体装置の製造方法によれば、N型不純物が、ゲート電極の上主面近傍で最低濃度となり、ゲート酸化膜の近傍で最高濃度となり、最低濃度と最高濃度との間では単調に変化する分布を有するようにポリシリコン層を形成し、熱酸化を行うことで、濃度が高まることで酸化膜の成長レートが向上するN型不純物の特性により、効率的に逆テーパ状のゲート電極を得ることができる。

【0089】本発明に係る請求項9記載の半導体装置の製造方法によれば、逆テーパ状の断面形状を有するゲート電極を自己整合的に得るためのポリシリコン層を確実に形成できる。

【0090】本発明に係る請求項10記載の半導体装置の製造方法によれば、N型不純物が、ゲート電極の上主面近傍で最高濃度となり、ゲート酸化膜の近傍で最低濃度となり、最低濃度と最高濃度との間では単調に変化する分布を有するようにポリシリコン層を形成し、熱酸化を行うことで、濃度が高まることで酸化膜の成長レートが向上するN型不純物の特性により、効率的にテーパ状のゲート電極を得ることができる。

【0091】本発明に係る請求項11記載の半導体装置の製造方法によれば、テーパ状の断面形状を有するゲート電極を自己整合的に得るためのポリシリコン層を確実に形成できる。

【0092】本発明に係る請求項12記載の半導体装置の製造方法によれば、サイドウォール酸化膜を覆う上部サイドウォール酸化膜を確実に得ることができ、上部サイドウォール酸化膜の外側の半導体基板の表面内に形成されるソース・ドレイン層間の間隔を広くして、ドレイン電圧の電界強度を緩和してドレイン・ソース間耐圧を高めたMOSFETを得ることができる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図2】 ポリシリコン層中のN型不純物の濃度分布を示す図である。

【図3】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図4】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図5】 N型不純物の濃度と、酸化膜の成長レートの関係を示す図である。

【図6】 酸化膜の厚さを説明する図である。

【図7】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図8】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

10 【図9】 本発明に係る実施の形態1の半導体装置の構成を示す断面図である。

【図10】 ゲート電極の寄生容量を示す模式図である。

【図11】 本発明に係る実施の形態1の半導体装置の変形例の製造工程を示す断面図である。

【図12】 本発明に係る実施の形態1の半導体装置の変形例の製造工程を示す断面図である。

【図13】 本発明に係る実施の形態1の半導体装置の変形例の構成を示す断面図である。

20 【図14】 本発明に係る実施の形態2の半導体装置の製造工程を示す断面図である。

【図15】 ポリシリコン層中のN型不純物の濃度分布を示す図である。

【図16】 本発明に係る実施の形態2の半導体装置の製造工程を示す断面図である。

【図17】 本発明に係る実施の形態2の半導体装置の構成を示す断面図である。

【図18】 ゲート電極の寄生容量を示す模式図である。

30 【図19】 従来の半導体装置の製造工程を示す断面図である。

【図20】 従来の半導体装置の製造工程を示す断面図である。

【図21】 従来の半導体装置の製造工程を示す断面図である。

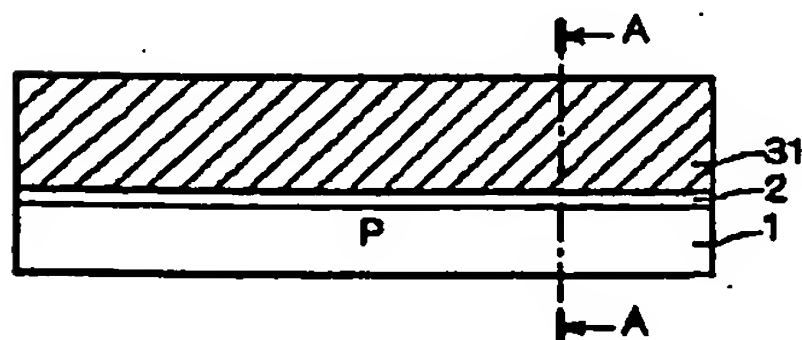
【図22】 従来の半導体装置の構成を示す断面図である。

【符号の説明】

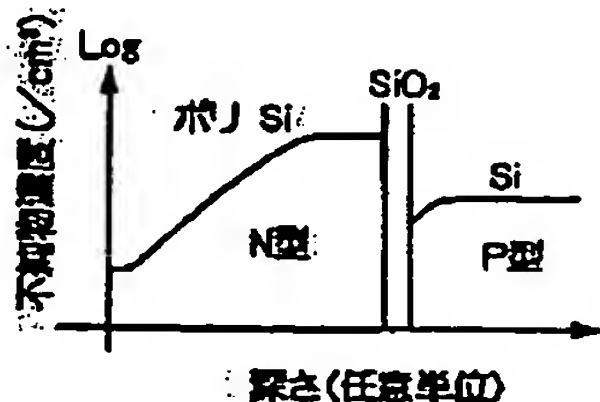
3, 3A : ゲート電極、5, 5A, 11, 11A : サイドウォール酸化膜、81 : シリサイド層。

40

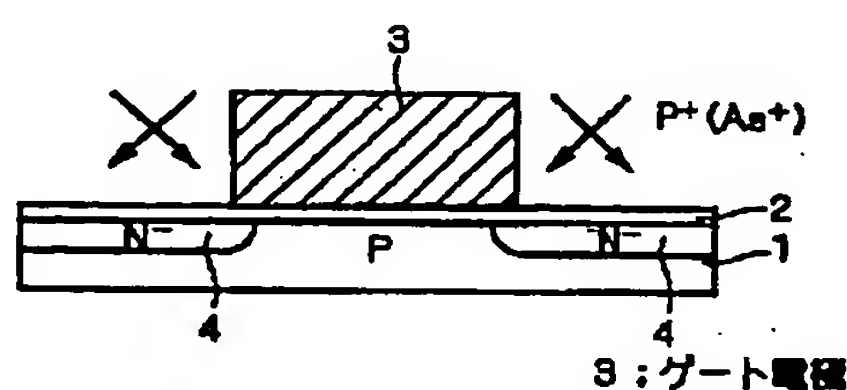
【図1】



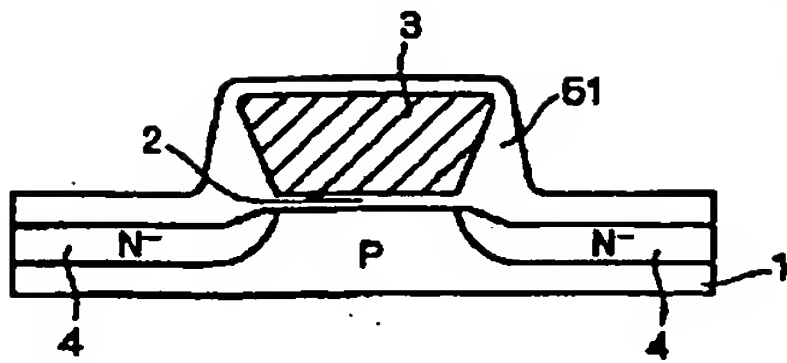
【図2】



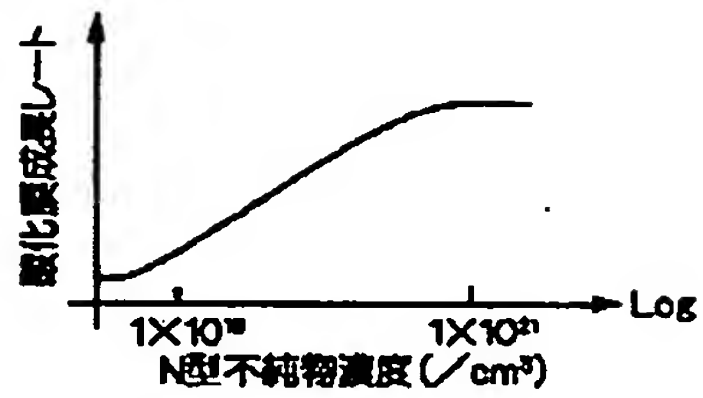
【図3】



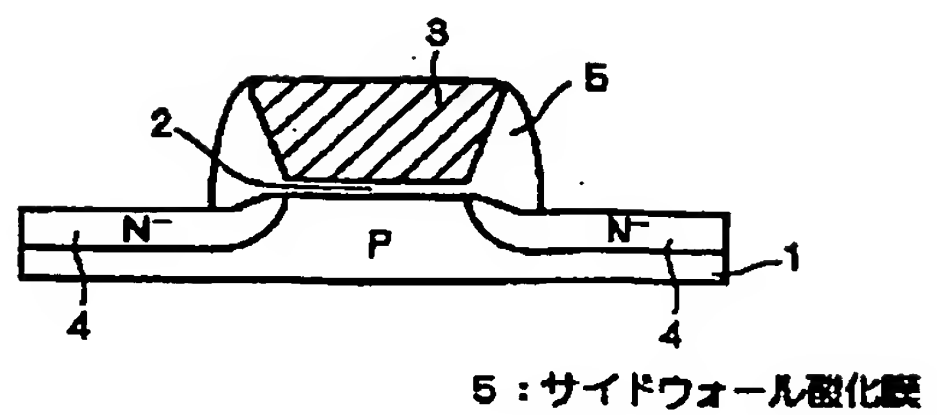
【図4】



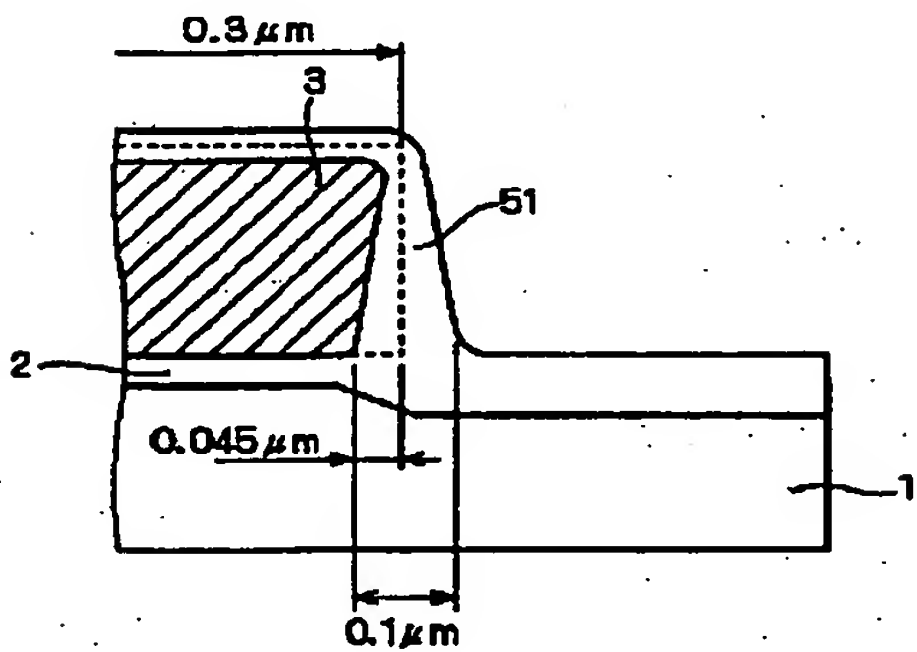
【図5】



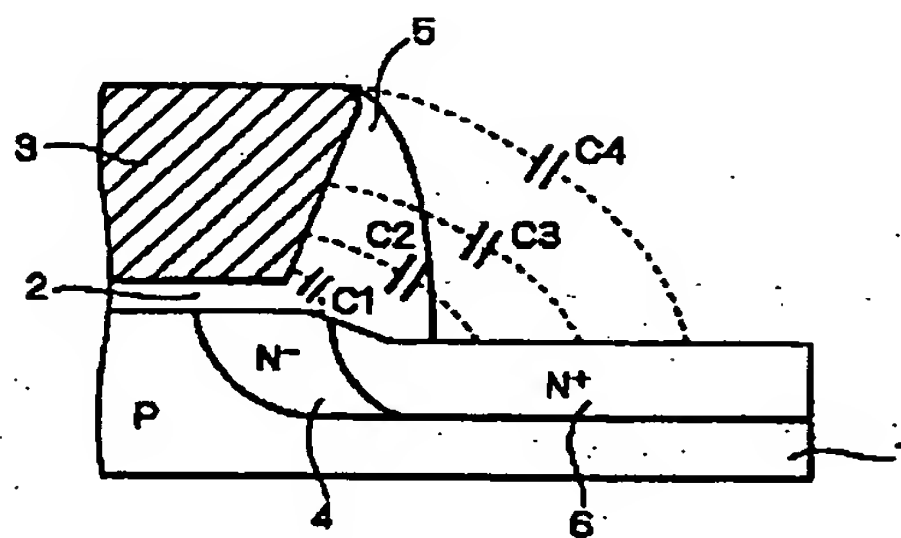
【図7】



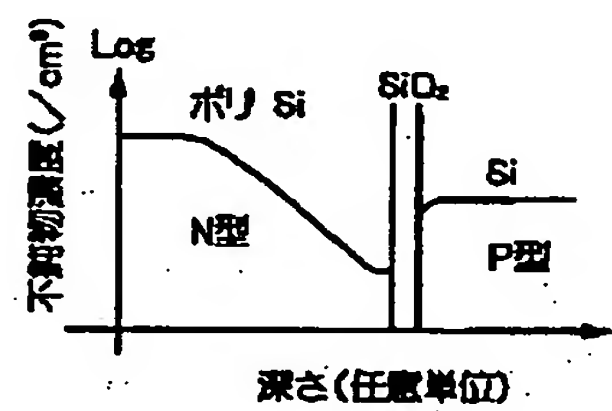
【図6】



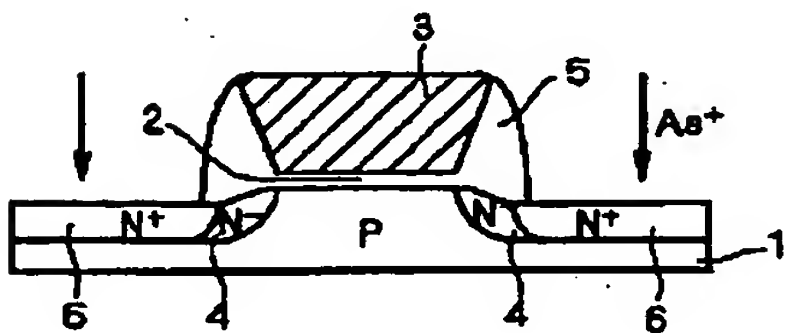
【図10】



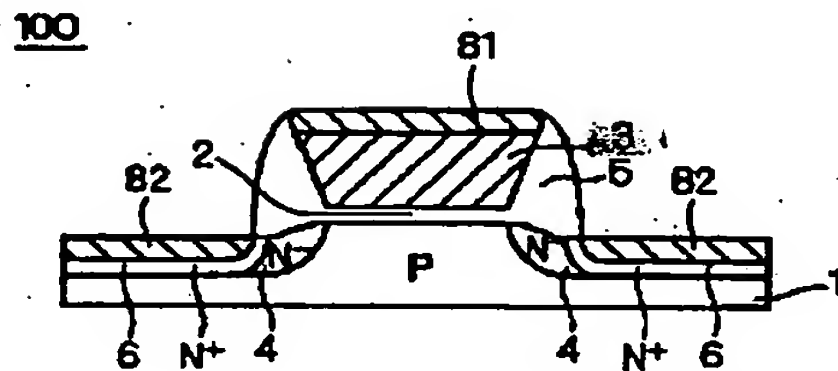
【図15】



【図8】

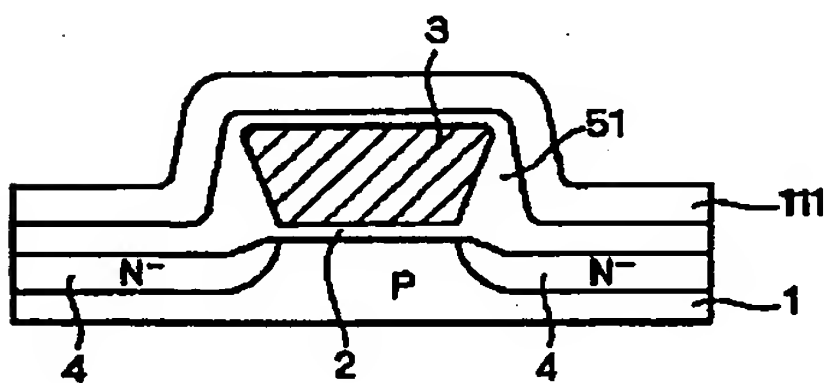


【図9】

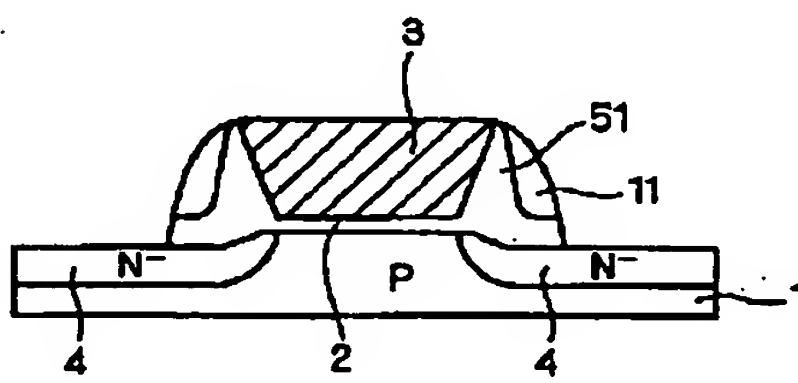


81 : シリサイド層

【図11】

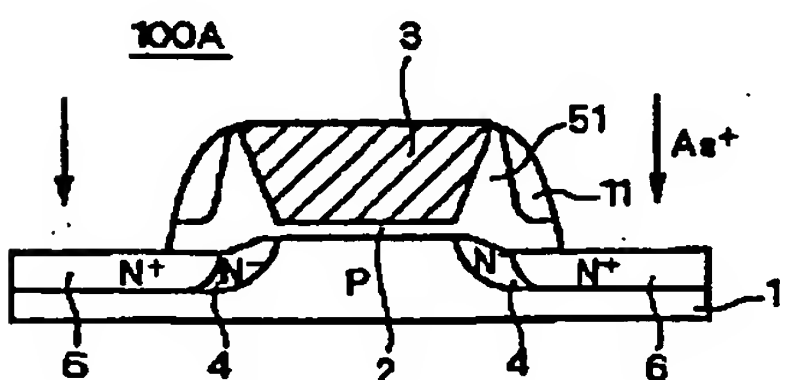


【図12】

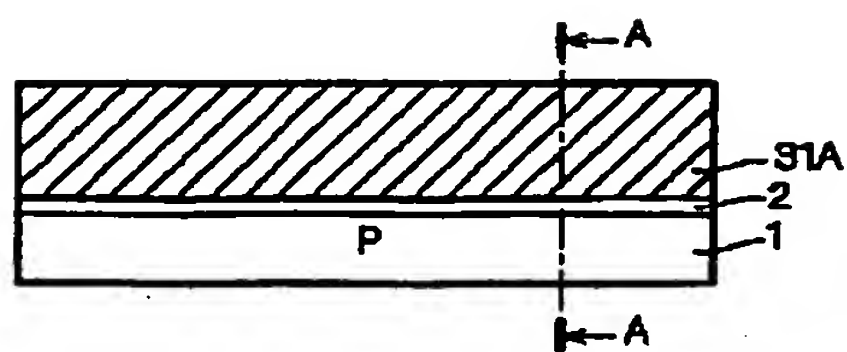


11 : サイドウォール酸化膜

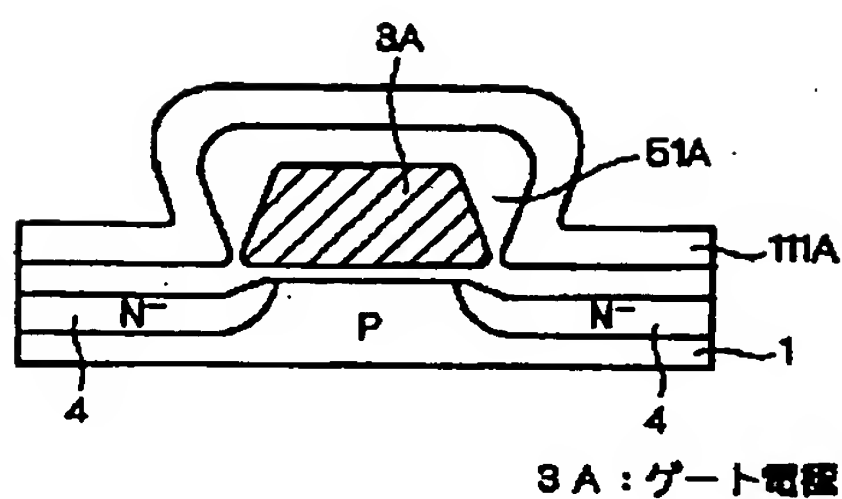
【図13】



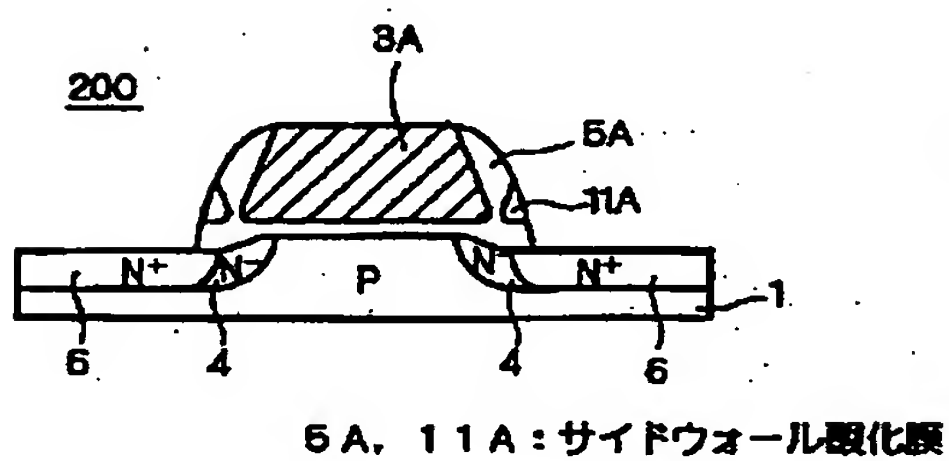
【図14】



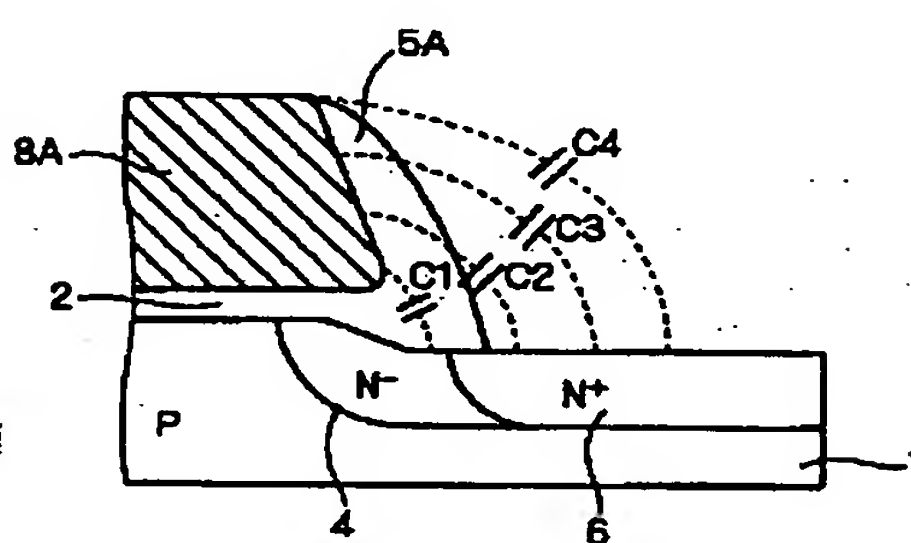
【図16】



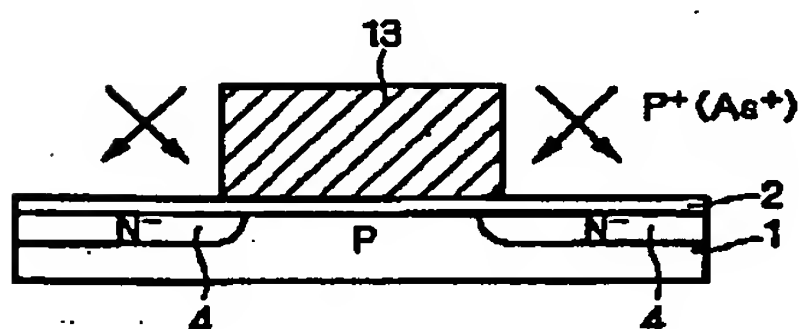
【図17】



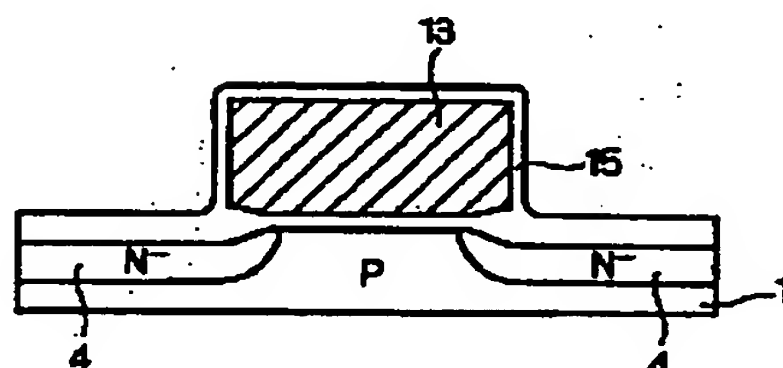
【図18】



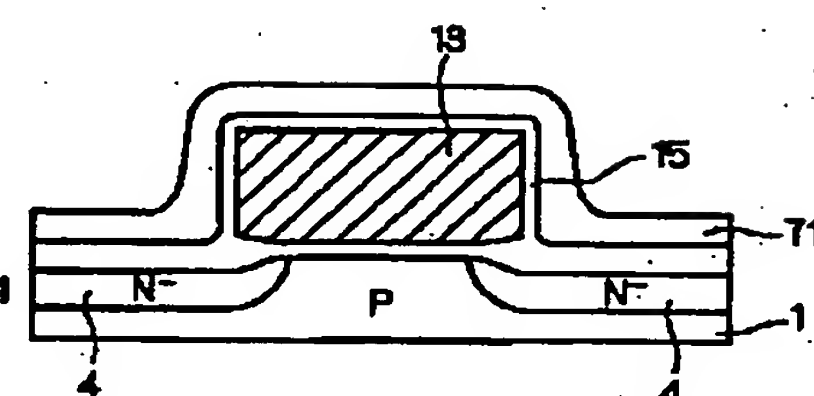
【図19】



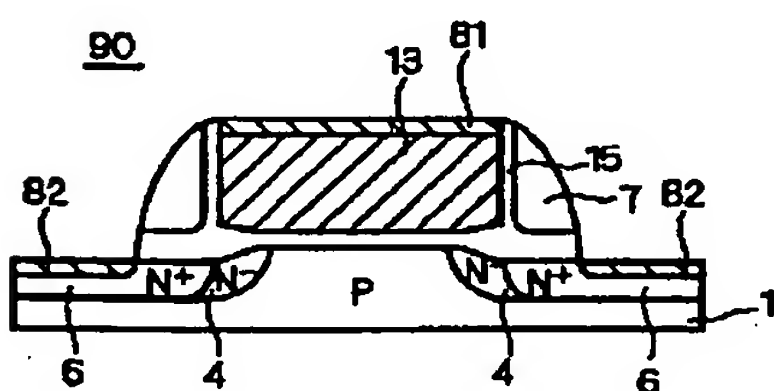
【図20】



【図21】



【図22】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB40 CC05 DD02
DD55 DD78 DD84 DD86 EE09
FF06 FF08 FF14 HH16 HH20
5F040 DA00 DA11 DC01 EC01 EC05
EC07 EC13 EC19 ED03 EF02
EH02 FA05 FB02 FC04 FC19
FC21